

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 1 6 日
Date of Application:

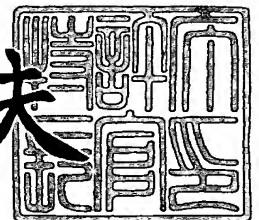
出 願 番 号 特 願 2 0 0 2 - 3 6 4 4 1 1
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 6 4 4 1 1]

出 願 人 株式会社半導体エネルギー研究所
Applicant(s):

2 0 0 3 年 1 0 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 8 9 6 0

【書類名】 特許願

【整理番号】 P006806

【提出日】 平成14年12月16日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 浅野 悦子

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 中村 理

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 坂倉 真之

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 T F T の評価方法、当該 T F T を有する半導体装置の作製方法、及びドーズ量制御プログラム又は当該プログラムを記載したコンピュータ読み取り可能な記録媒体

【特許請求の範囲】**【請求項 1】**

半導体膜上にゲート電極を有し、前記半導体膜は前記ゲート電極と重なる低濃度不純物領域を有するように形成される T E G と、T F T とを同一基板上に形成するステップと、

前記 T E G の低濃度不純物領域の抵抗を測定するステップと、

前記抵抗から、前記 T F T の低抵抗不純物領域の不純物濃度を予測することを特徴とする T F T の評価方法。

【請求項 2】

半導体膜上に第 1 の導電膜と第 2 の導電膜とが積層したゲート電極を有し、前記半導体膜は前記ゲート電極と重なる低濃度不純物領域を有し、

前記第 1 の導電膜の端は前記第 2 の導電膜の端を越えて延在し、前記第 1 の導電膜の端と前記第 2 の導電膜の端との間に前記半導体膜の側端部が設けられるように形成される T E G と、T F T とを同一基板上に形成するステップと、

前記 T E G の低濃度不純物領域の抵抗を測定するステップと、

前記抵抗から、前記 T F T の低抵抗不純物領域の不純物濃度を予測することを特徴とする T F T の評価方法。

【請求項 3】

半導体膜上に T a N 膜と W 膜とが積層したゲート電極を有し、前記半導体膜は前記ゲート電極と重なる低濃度不純物領域を有し、

前記 T a N 膜の端は前記 W 膜の端を越えて延在し、前記 T a N 膜の端と前記 W 膜の端との間に前記半導体膜の側端部が設けられるように形成される T E G と、T F T とを同一基板上に形成するステップと、

前記 T E G の低濃度不純物領域の抵抗を測定するステップと、

前記抵抗から、前記 T F T の低抵抗不純物領域の不純物濃度を予測することを特

徴とする T F T の評価方法。

【請求項 4】

半導体膜上にテーパーを有するゲート電極を有し、前記半導体膜は前記ゲート電極のテーパーと重なる低濃度不純物領域を有するように形成される T E G と、T F T とを同一基板上に形成するステップと、
前記 T E G の低濃度不純物領域の抵抗を測定するステップと、
前記抵抗から、前記テーパーに応じた前記 T F T の低抵抗不純物領域の不純物濃度を予測することを特徴とする T F T の評価方法。

【請求項 5】

半導体膜上にテーパーを有する第 1 の導電膜と第 2 の導電膜とが積層したゲート電極を有し、前記半導体膜は前記ゲート電極のテーパーと重なる低濃度不純物領域を有し、
前記第 1 の導電膜の端は前記第 2 の導電膜の端を越えて延在し、前記第 1 の導電膜の端と前記第 2 の導電膜の端との間に前記半導体膜の側端部が設けられるように形成される T E G と、T F T とを同一基板上に形成するステップと、
前記 T E G の低濃度不純物領域の抵抗を測定するステップと、
前記抵抗から、前記テーパーに応じた前記 T F T の低抵抗不純物領域の不純物濃度を予測することを特徴とする T F T の評価方法。

【請求項 6】

半導体膜上にテーパーを有する T a N 膜と W 膜とが積層したゲート電極を有し、前記半導体膜は前記ゲート電極のテーパーと重なる低濃度不純物領域を有し、
前記 T a N 膜の端は前記 W 膜の端を越えて延在し、前記 T a N 膜の端と前記 W 膜の端との間に前記半導体膜の側端部が設けられるように形成される T E G と、T F T とを同一基板上に形成するステップと、
前記 T E G の低濃度不純物領域の抵抗を測定するステップと、
前記抵抗から、前記テーパーに応じた前記 T F T の低抵抗不純物領域の不純物濃度を予測することを特徴とする T F T の評価方法。

【請求項 7】

半導体膜上に第 1 の導電膜と第 2 の導電膜とが積層したゲート電極を有し、前記

半導体膜は前記ゲート電極と重なる低濃度不純物領域と、チャネル形成領域と、
一対の不純物領域とを有する複数の T E G と、 T F T とを同一基板上に形成する
ステップと、

前記第 1 の T E G の低濃度不純物の抵抗を測定するステップと、

前記第 2 の T E G のチャネル形成領域の抵抗を測定するステップと、

前記第 3 の T E G の不純物領域の抵抗を測定するステップと、を有し、

前記抵抗から前記 T F T における低濃度不純物領域、前記チャネル形成領域及び
前記不純物領域の不純物濃度を予測する T F T の評価方法であって、

前記 T E G は前記第 1 の導電膜の端と前記第 2 の導電膜の端との間に前記半導体
膜の側端部が設けられるように形成される第 1 の T E G と、

前記第 2 の導電膜の端が前記半導体膜の側端部を越えて延在するように形成され
る第 2 の T E G と、

前記第 1 の導電膜の端が前記半導体膜の側端部を越えないように形成される第 3
の T E G と、を有することを特徴とする T F T の評価方法。

【請求項 8】

請求項 7 において、前記第 1 乃至第 3 の T E G は複数設けられていることを特徴
とする T F T の評価方法。

【請求項 9】

請求項 7 又は 8 において、前記第 1 の導電膜は T a N 膜であり、前記第 2 の導電
膜は W 膜であることを特徴とする T F T の評価方法。

【請求項 10】

請求項 7 乃至 9 のいずれか一において、前記第 1 の導電膜及び前記第 2 の導電膜
の端はテーパーを有することを特徴とする T F T の評価方法。

【請求項 11】

請求項 1 乃至 10 のいずれか一において、前記 T E G における、前記抵抗と、前
記第 1 の導電膜又は前記第 2 の導電膜と、前記半導体膜との重ね合わせ位置との
相関を求めることを特徴とする T F T の評価方法。

【請求項 12】

請求項 1 乃至 11 のいずれかに記載の評価方法を用いて作製する T F T を有する

ことを特徴とする半導体装置の作製方法。

【請求項 13】

絶縁基板上に形成された不純物領域を有する半導体膜と、前記半導体膜上にマスクを用いて形成されたゲート電極と、を有する T F T を備えた半導体装置の作製方法において、

前記絶縁基板上の複数の領域に不純物領域を有する T E G を形成し、

前記 T F T の活性化工程前後において、前記 T E G のマスクのアライメントずれを求め、前記求められたマスクのアライメントずれから前記基板の収縮又は膨張を求めることを特徴とする半導体装置の作製方法。

【請求項 14】

絶縁基板上に形成された低濃度不純物領域及び不純物領域を有する半導体膜と、前記低濃度不純物領域と重なるように、前記半導体膜上にマスクを用いて形成されたゲート電極と、を有する T F T を備えた半導体装置の作製方法において、前記絶縁基板上の複数の領域に低濃度不純物領域及び不純物領域を有する T E G を形成し、

前記 T F T の活性化工程前後において、前記 T E G のマスクのアライメントずれを求め、前記求められたマスクのアライメントずれから前記基板の収縮又は膨張を求めることを特徴とする半導体装置の作製方法。

【請求項 15】

T E G と同一基板上に設けられた T F T の不純物添加量を制御するコンピュータを、

前記 T E G の抵抗分布を求める演算手段、

T F T の作製条件又はデバイスの設計条件を記憶させる手段、

前記記憶させる手段に基づいて不純物の添加量を判断させる手段、

前記判断させる手段から得られた添加量をドーピング装置へ設定する手段、として機能させるためのドーズ量制御プログラム。

【請求項 16】

T E G と同一基板に設けられ、マスクを用いて形成されるゲート電極を有する T F T の不純物添加量を制御するコンピュータを、

前記マスクのアライメントずれを演算させ、TEGの抵抗分布を求める演算手段

、

TF Tの作製条件又はデバイスの設計条件を記憶させる手段、

前記記憶させる手段に基づいて不純物の添加量を判断させる手段、

前記判断させる手段から得られた添加量をドーピング装置へ設定する手段、として機能させるためのドーズ量制御プログラム。

【請求項 17】

TEGと同一基板上に設けられたTF Tの不純物添加量を制御するコンピュータを、

前記TEGの抵抗分布を求める演算手段、

TF Tの作製条件又はデバイスの設計条件を記憶させる手段、

前記記憶させる手段に基づいて不純物の添加量を判断させる手段、

前記判断させる手段から得られた添加量をドーピング装置へ設定する手段、として機能させるためのドーズ量制御プログラムを記録したコンピュータ読み取り可能な記録媒体。

【請求項 18】

TEGと同一基板に設けられ、マスクを用いて形成されるゲート電極を有するTF Tの不純物添加量を制御するコンピュータを、

前記マスクのアライメントずれを演算させ、TEGの抵抗分布を求める演算手段

、

TF Tの作製条件又はデバイスの設計条件を記憶させる手段、

前記記憶させる手段に基づいて不純物の添加量を判断させる手段、

前記判断させる手段から得られた添加量をドーピング装置へ設定する手段、として機能させるためのドーズ量制御プログラムを記録したコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタの評価方法や作製方法又は当該薄膜トランジスタ

を有する半導体装置の作製方法に関する。更に本発明は、評価方法に基づき不純物添加量を制御するプログラム又は記録媒体に関する。

【0002】

【従来の技術】

薄膜トランジスタ（以下、T F Tと表記する）を代表とする半導体素子における寿命に関する物理現象として、ホットキャリアによる特性劣化現象が挙げられる。ホットキャリアは格子系の温度を上回る非平衡状態の正孔と電子とに起因し、特にその電子をホットエレクトロンという。デバイスの寸法が小さくなるにつれ、局所的な電界が大きくなってしまう。その結果生じるホットキャリアにより、半導体装置の動作不良や動作機能の低下、ドレイン電圧に対するドレイン電流の低下を引き起こし、半導体装置のデバイス特性、性能を劣化させている。

【0003】

ここで、ホットエレクトロンによる劣化の現象を説明する。半導体素子を動作させると、ドレイン領域、特にチャネル形成領域とドレイン領域との接合領域の近傍に高電界領域が形成され、この高電界領域に流れ込んだ電子は非常に高いエネルギーを有するホットエレクトロンとなる。この時、一部のホットエレクトロンはゲート酸化膜に注入されたり、S i -S i O₂界面に界面準位を発生させたりして素子特性の変動をもたらす。また上記チャネル電子によるホットエレクトロン以外に基板ホットエレクトロンもある。

【0004】

さらに衝突電離またはアバランシェ増倍で発生したキャリアが、ホットキャリアとして酸化膜中に注入されること（ドレインアバランシェホットキャリア：Drain Avalanche Hot Carrier :DAHC）や、2次衝突電離によって発生したホットエレクトロン注入（Secondarily Generated Hot Electron:SGHE）がある。なお詳細は、サブミクロンデバイス 2 p 1 2 1 ~ 1 4 2（小柳光正著、丸善株式会社出版）に記載されている。

【0005】

このホットキャリアによる劣化を防ぐ手段として、チャネル形成領域と、ソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域（第1の

低濃度不純物領域)を設けたLightly Doped Drain(LDD)構造TFTが知られている。さらに、LDD領域の寄生抵抗による性能低下も防ぐ手段として、ゲート絶縁膜を介してLDD領域をゲート電極と重ねて配置させたゲートオーバーラップ領域(第2の低濃度不純物領域)を設けたGate-Overlapped LDD(GOLD)構造TFTが知られている。このような構造とすることで、ドレイン近傍の高電界が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効であることが知られている。

【0006】

このGOLD構造TFTは、ゲートオーバーラップ領域における不純物濃度によって信頼性が大きく左右される。ゲートオーバーラップ領域の不純物濃度が高い場合、チャンネル形成領域とゲートオーバーラップ領域との界面において強い電界が発生し、ホットキャリア発生量が多くなり、TFTの特性劣化、例えばオン電流低下も大きくなる。

【0007】

一方、ゲートオーバーラップ領域の不純物濃度をある程度減少させた場合、チャンネル形成領域とゲートオーバーラップ領域との界面の電界強度が減少するとともに、ドレイン領域とゲートオーバーラップ領域との界面の電界強度が増加するが、電界の最大値は小さくなり、TFTの特性劣化も小さくなり好ましい。

【0008】

しかし更にゲートオーバーラップ領域の不純物濃度を低下させると、ドレイン領域とゲートオーバーラップ領域との界面において強い電界が発生してしまうため、ゲートオーバーラップ領域の不純物濃度が低い場合であってもTFTの特性劣化は増大する。従って半導体素子の信頼性向上の為には、ゲートオーバーラップ領域の不純物濃度をより正確に把握することが重要となる。

【0009】

そこでLSIの分野において、ドーズ量依存性を考慮した不純物導入及び熱拡散領域の不純物濃度分布をシミュレーションにて予測する方法が用いられてきた。これは、半導体基板に不純物を導入し、熱処理を行って不純物を拡散させて不純物拡散領域を得る場合において、該不純物拡散領域の不純物の濃度分布を導入された不純物の総量に基づく計算を含む工程によりシミュレーションする方法で

ある（特許文献1参照）。

【0010】

【特許文献1】

特開平8-139044号公報

【0011】

【発明が解決しようとする課題】

また特に、薄膜トランジスタの分野では、ゲート電極の下部導電膜とのみ重なっているゲートオーバーラップ領域の不純物濃度を把握するため、半導体膜上に下部導電膜のみを形成し、その後不純物を添加した測定素子の抵抗を測定する方法が用いられてきた。この場合、別基板にゲートオーバーラップ領域の抵抗モニターだけを作製したり、マスク枚数を増やして基板の一部に抵抗モニターを作製していた。

【0012】

しかし、これらの方法では工程数が増加するだけでなく、自己整合プロセスで作製するゲートオーバーラップ領域のゲート電極はテーパーエッチング及び異方性エッチングによって作製する為、TFETと同プロセスでLov抵抗モニターを作製することは困難であった。

【0013】

【課題を解決するための手段】

上記課題を鑑み本発明は、ゲートオーバーラップ領域の不純物濃度を測定するための複数のTEG素子（以下、Lov抵抗モニターと表記する）を、ゲート電極の作製時に用いるマスクのアライメント（マスクアライメント）をあえてずらして作製し、ソース／ドレイン領域、ゲートオーバーラップ領域及びチャネル形成領域に沿ったシート抵抗分布を得ることにより、各領域の不純物濃度を正確に把握することを特徴とする。

【0014】

また本発明は、SEM等による観察を行うことなく、Lov抵抗モニターの電気特性を測定することによって、マスクのアライメントずれを評価することを特徴とする。なおマスクのアライメントずれは、GOLD構造のTFET以外のTFET

、例えばシングルゲート構造のTFETであっても評価することができる。

【0015】

具体的には、図1に示すように、マスクアライメントをサブ μm 間隔でずらしたLow抵抗モニターとして作製されたTEG (A) ~ (D) を作製し、それぞれ抵抗測定を行う。このときTEGのゲート電極は、下部導電膜（第1の導電膜）101と上部導電膜（第2の導電膜）102との積層構造を有し、下部導電膜の端は上部導電膜の端を越えて延在する構造を有している。

【0016】

TEG (A) は、ソース／ドレイン領域のシート抵抗を測定するLow抵抗モニターであって、上面またはA-A'の断面図の拡大図からみると、下部導電膜101及び上部導電膜102の端が、半導体膜103の側端部（図1において、キャリアが流れる方向と平行な端の一方）を越えないように設けられている。

【0017】

TEG (B) は、ゲートオーバーラップ領域のシート抵抗を測定するLow抵抗モニターであって、上面またはB-B'の断面図の拡大図からみると、下部導電膜101の端が、半導体膜103の側端部と一致するように設けられている。

【0018】

TEG (C) も、ゲートオーバーラップ領域のシート抵抗を測定するLow抵抗モニターであって、上面またはC-C'の断面図の拡大図からみると、下部導電膜101の端及び上部導電膜102の端の間に半導体膜103の側端部がくるように設けられている。

【0019】

TEG (D) は、チャネル形成領域のシート抵抗を測定するLow抵抗モニターであって、上面またはD-D'の断面図の拡大図からみると、上部導電膜102の端が半導体膜の側端部に一致する、又は上部導電膜102及び下部導電膜101の端が、半導体膜103の側端部を越えるように設けられている。

【0020】

次にシート抵抗の測定について説明する。例えば、TEG (A) を使用し、ソース／ドレイン領域におけるシート抵抗を測定する場合、シート抵抗は、長さL

に比例し、幅 W に反比例することから、 $1/(-X-\alpha)$ に比例することがわかって
いる。ここで、 X はマスクアライメントをあえてずらした条件（アライメント条
件）、 α はマスクアライメントのずれ（アライメントずれ）を示す。

【0021】

この特性を利用して、アライメントずれ α を求めることができ、算出した α を
使って各領域のシート抵抗を算出することができる。また本発明により、光学顕
微鏡やSEM等の観察を行うことなく、電気特性測定によってマスクのアライメン
トずれを評価することが可能となる。

【0022】

図8（A）にはTFT素子が設けられたパネル部（基板上のパネルとして使用
する領域であって、画素部や駆動回路部を含む）801と、TEGが設けられた
Lov抵抗モニター802とが形成された基板800を示す。このように本発明
は、TEGとTFTとを同一基板に形成できることを特徴とする。すなわち、T
FTのゲート電極及びTEGのゲート電極のテーパーエッチング及び異方性エッ
チングを同時に行うことができるため、TFTのオーバーラップ領域の評価を正
確に把握することができる。

【0023】

また図8（B）はLov抵抗モニターの拡大図を示す。Lov抵抗モニター8
02には半導体膜804と、ゲート電極805を有し、ゲート電極、ソース電極
及びドレイン電極に接続されるパッドが形成された複数のTEGが設けられてい
る。そしてTEGのアライメント条件をふっておけばよく、図8（B）ではアラ
イメント条件を $X=a$ 、 b 、 c 、 d としている。

【0024】

このように形成されたTEGのシート抵抗を測定することにより、従来の方法
では得ることのできないゲート電極のテーパー形状に対応したオーバーラップ領
域の抵抗分布を得ることができる。すなわち本発明により、ゲートオーバーラッ
プ領域、ソース／ドレイン領域及びチャネル形成領域の不純物濃度をより正確に
把握することが可能となる。

【0025】

また本発明は、得られた抵抗分布をデータベース化し、回路等の様々な設計条件における、最適な不純物添加量を選択することが可能となる。そして本発明は、データベースから選択させるプログラム又はコンピュータ読み取り可能な記録媒体を提供することができ、実施者の経験に頼らず、短時間で所望のドーピング量を導出することができる。そして、得られたドーピング量（ドーピング量）をドーピング装置へ出力させ、効率よく所望の特性を有するデバイスを設計する半導体装置の作製方法（設計管理システム）を提供することができる。

【0026】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。なお以下の実施の形態で説明するL o v抵抗モニター評価時のゲートオーバーラップ領域にドーピングする不純物はドナーでもアクセプターでも構わない。

【0027】

（実施の形態1）

本実施の形態では、TEG（A）～（D）の作製方法及びソース／ドレイン領域、ゲートオーバーラップ領域及びチャネル形成領域におけるシート抵抗の求め方について具体的に説明する。

【0028】

図2にはパネル部に設けられたGOLD構造TFT（以下、TFTと表記する）及び図1に示すTEG（A）～（D）の作製工程を示し、a-a'、b-b'、c-c'、d-d'からみた断面図を記載している。まず図2（A）に示すように、絶縁表面を有する基板（絶縁基板）200上に当該基板からの不純物の侵入を防ぐために下地膜201を形成する。そして下地膜上に結晶化された半導体膜202にしきい値を制御するために不純物を添加し（チャネルドーピング）、ゲート絶縁膜204を形成し、ゲート電極の下部導電膜としてTa₂N膜205aを、上部導電膜としてW膜205bを形成する。そして、W膜上に第1のレジスト206を形成し、W膜205aとTa₂N膜205bとにテーパーエッチングを行う。

【0029】

その後図2（B）に示すように、レジスト206を除去せずに、異方性エッチ

ングによりW膜をエッチングしゲート電極を形成した。

【0030】

次いで2 (C) に示すように、ソース／ドレイン領域209及びゲートオーバーラップ領域208を形成するためリン (P) イオンを打ち込んだ。なお、今回のLov抵抗モニターでは、ソース／ドレイン領域とゲートオーバーラップ領域を同時に添加している（一括打ち）。

【0031】

そして図2 (D) に示すように、パッシベーション膜210及び層間絶縁膜215を形成する。

【0032】

以上のように、TFETと同時に同一基板上に形成されたLov抵抗モニターの各TEGに対して、抵抗測定を行う。

【0033】

次に抵抗測定について説明する。なお本実施の形態で測定する各TEGでは、アライメント条件Xを図1に記載の基準線より右をプラス、左をマイナスとして、0、±0.5、±1、±1.5、±2と0.5 μm間隔でずらしている。

【0034】

まずTEG (A) において、チャネル形成領域及びゲートオーバーラップ領域での抵抗を無視すると、

$$R_1 = R_{SD} \cdot L / (-X_1 - \alpha) \quad \dots \textcircled{1}$$

$$R_2 = R_{SD} \cdot L / (-X_2 - \alpha) \quad \dots \textcircled{2}$$

が成立する。但し、 X_1 、 X_2 はマスクアライメントをあえてずらしたアライメント条件、 R_1 、 R_2 は X_1 、 X_2 で測定される抵抗値、 R_{SD} はソース／ドレイン領域のシート抵抗、 L は下部導電膜の幅、 α はマスクのアライメントずれを示す。但し、 L はゲートオーバーラップ領域の幅より十分大きいこととする。

【0035】

上記式①、②より、

$$\alpha = (-R_1 \cdot X_1 + R_2 \cdot X_2) / (R_1 - R_2) \quad \dots \textcircled{3}$$

式③が成立するため、この式に測定値Rとアライメント条件Xを代入することで

アライメントずれ α を算出できる。すなわち、式④が成立する。

$$R_{SD} = R(-X - \alpha) / L \quad \dots \textcircled{4}$$

【0036】

なお TEG (A) では、マスクのアライメントずれ α は $\alpha \cong 0.3$ となった。

【0037】

また TEG (B) 及び TEG (C) では、チャンネル形成領域での抵抗を無視すると以下の式が成立する。

$$R = R_{Lov} \cdot L / \{L_{Lov} - (X + \alpha)\} \quad \dots \textcircled{5}$$

但し、 R_{Lov} はゲートオーバーラップ領域のシート抵抗、 L_{Lov} はゲートオーバーラップ領域の長さを示す。

【0038】

式⑤より、

$$R_{Lov} = R(L_{Lov} - X - \alpha) / L \quad \dots \textcircled{6}$$

が導かれる。

【0039】

更に TEG (D) では、以下の式が成立する。

$$R = R_{ch} \cdot L / W \quad \dots \textcircled{7}$$

但し、 R_{ch} はチャンネル形成領域のシート抵抗を示す。

【0040】

式⑦により、

$$R_{ch} = R \cdot W / L \quad \dots \textcircled{8}$$

が導かれる。

【0041】

以上のように式④、⑥、⑧から各領域のシート抵抗を求めることができる。

【0042】

そして図4及び図5には、TEG (A) を用いてチャンネルドーパ量を 1.8×10^{13} ions/cm²としたもの(測定素子1、2)、 1.5×10^{13} ions/cm²としたもの(測定素子3、4)を用いて測定されたソース/ドレイン領域の抵抗値を示す。なお、図4はマスクのアライメントずれの補正を考慮しない場合であり、図5は式

④から求められたマスクのアライメントずれの補正を考慮したグラフである。

【0043】

図4に示す補正前においては、抵抗 R と $-1/X$ とは比例関係にないが、図5に示すようにマスクのアライメントずれの補正することにより、抵抗 R と $-1/(-X-\alpha)$ とは比例関係となり、算出した α が正しいことが確認できる。図5や式④を変形した $R = (L/R_{SD}) \cdot (1/(-X-\alpha))$ からもわかるように本発明は、抵抗 R と $(1/(-X-\alpha))$ は比例関係を有するとの相関を求めることができる。

【0044】

またマスクのアライメントずれ α と式④, ⑥, ⑧を用いることによって、図6に示すように、ゲート電極のテーパ形状に対応したチャネル形成領域、ゲートオーバーラップ領域及びソース/ドレイン領域のチャネル長方向の抵抗分布をより正確に得ることができる。更に図7には、図6の抵抗をシート抵抗に換算したグラフを示す。

【0045】

従来の方法では、ゲートオーバーラップ領域の抵抗は、ゲート電極のテーパ形状に対応せず、平均値としてしか算出できなかったが、本発明によりゲート電極のテーパ形状に対応した抵抗分布を得ることが可能となる。図7をみるとわかるが、本発明はゲートオーバーラップ領域のテーパに応じたシート抵抗を正確に示しており、これを平均値とする従来の方法と比べて本発明は、正確な電気特性を得ることができる。

【0046】

また特にGOLD構造TFTは、ゲートオーバーラップ領域の不純物濃度によって信頼性が大きく左右される為、得られたゲートオーバーラップ領域のシート抵抗値を用いることで、長期信頼性試験を行うことなくTFTの寿命予測の目安となる。

【0047】

(実施の形態2)

本発明はマスクのアライメントずれ α を求めることにより、電気特性測定によってアライメントずれを測定することが可能となり、正確にアライメントずれを

評価することもできる。このときTFTやTEGはGOLD構造以外であってもよく、例えば単純なシングルゲート構造であってもよい。そこで本実施の形態では、電気特性測定によってアライメントずれを測定する方法を説明する。

【0048】

基板に複数のLov抵抗モニターを、好ましくは基板の4角に配置することにより、加熱工程による基板の収縮や膨張を把握することができる。すなわち、図8(B)に示すようなLov抵抗モニターを基板の4角に配置させ、活性化等の加熱処理後に各Lov抵抗モニターのマスキのアライメントずれ α を算出し、それらの差から基板の収縮や膨張を評価することができる。なおこのとき、X軸及びY軸方向のずれを算出するため、図8(B)に示すTEGの向きを90度回転させた複数のTEGを各列に形成するとよい。

【0049】

例えば、図9のように基板の4角に設けたLov抵抗モニターのアライメントずれ α_1 と α_3 との差、及び α_2 と α_4 との差から、基板の収縮や膨張を評価することができる。なお、基板の収縮や膨張は15～20ppm程度であるとよい。

【0050】

このように、本発明のアライメントずれ α により、SEM等により観察することなく、TEGの電気特性の測定によりマスキのアライメントずれを評価することができる。

【0051】

(実施の形態3)

本実施の形態では、ゲートオーバーラップ領域のシート抵抗値及びそのチャンネル長方向の長さ依存性(ゲートオーバーラップ長条件)、活性化条件依存性、活性層のチャンネル長方向の長さ依存性(チャンネル長条件)、TFT構造、信頼性の条件等の条件をデータベース化し、不純物添加量を制御するコンピュータシステムについて、図3を用いて説明する。

【0052】

図3(A)は、コンピュータシステムの構成を示し、端末301と、ドープン

グ装置 302 と、コンピュータ 311 と、測定手段 321 とを有している。

【0053】

端末 301 は、半導体素子の作製条件やデバイス（半導体素子が複数集まって所定の機能を有するもの、例えばシフトレジスタや信号線駆動回路等）の設計条件等を入力する手段を有している。なお端末 301 は、携帯情報端末（PDA）や、コンピュータ等を利用すればよい。そして、端末 301 とドーピング装置 302 は、デバイスを作製する場所（例えばクリーンルーム）に設けられている。

【0054】

コンピュータ 311 は、パーソナルコンピュータ、ワークステーション、メインフレームコンピュータ等各種のコンピュータが含まれる。そしてコンピュータは中央演算処理装置（CPU）、主記憶装置（メインメモリ：RAM）、コプロセッサ、画像アクセラレータ、キャッシュメモリ、入出力制御装置（I/O）等、一般的なコンピュータに備えられるハードウェア手段を備えている。また、ハードディスク装置等の外部記憶装置、インターネット等の通信手段を備えることができる。

【0055】

また測定手段 321 は、各 TEG の抵抗を測定する機能を有している。

【0056】

そしてコンピュータ 311 は、測定手段 321 により測定された抵抗値からマスクのアライメントずれを演算させ、抵抗分布を求めさせる演算手段 312 と、端末から入力される半導体素子やデバイスの条件、ゲートオーバーラップ領域の最適抵抗値等の信頼性情報が入力され、当該条件をデータベース化して記録させる記憶手段 313 と、データベースから最適な不純物添加量を判断、選択させる判断手段 314 と、選択された添加量をドーピング装置に設定させる設定手段 315 とを有している。なおコンピュータ 311 は、所定の添加量を印刷や表示により出力することもできる出力手段を有してもよい。また好ましくは、記憶手段 313 に各ドーピング装置の固有条件を記録しておき、判断手段 314 により最適な添加量を選択させるとよい。

【0057】

そして、データベースから最適な添加量を選択する場合（実線で記載、経路 A）、演算手段 3 1 2 に求めさせた相関や記憶手段 3 1 3 に記憶させた条件に基づいて判断手段 3 1 4 に最適な添加量を判断・選択させ、設定手段 3 1 5 によりドーピング装置 3 0 2 に添加量を設定させる。

【0 0 5 8】

または測定された抵抗値を利用して添加量を設定する場合（点線で記載、経路 B）は、測定手段 3 2 1 から得られる抵抗に基づいて、演算手段 3 1 2 にマスクのアライメントずれを算出させ、相関を求めさせて正確な抵抗分布であることの確認を行わせ、設定手段 3 1 5 により得られる相関に基づいてドーピング装置 3 0 2 に添加量を設定させてもよい。

【0 0 5 9】

このようなコンピュータ 3 1 1 は、デバイスを作製する場所に設けても、別の場所に設けてもよい。別の場所に設けるときは、端末 3 0 1 での各条件を、ネットワークを介して判断手段 3 1 4 へ入力すればよい。測定手段 3 2 1 も、デバイスを作製する場所に設けても、別の場所に設けてもよい。別の場所に設けるときは、測定手段での各結果を、ネットワークを介して演算手段 3 1 2 へ入力すればよい。また測定手段 3 2 1 と、コンピュータ 3 1 1 とを同一の場所に設けてもよい。

【0 0 6 0】

次に図 3（B）に示すフローチャートを用いて、経路 B に関するシステムフローを説明する。まず各条件で形成された TEG（A）～（D）の抵抗を測定し、コンピュータに抵抗値に基づいて上式よりアライメントずれ α を演算させ、抵抗と $(-X - \alpha)$ との相関を得る。これらの形成条件（具体的には活性化条件、チャンネル長条件、ゲートオーバーラップ条件、信頼性条件及びその他の条件や、TFET 構造）、抵抗値やアライメントずれ α 等を保存させておいた、データベースにアクセスし、求めるデバイス用途に応じて、最適なゲートオーバーラップ領域の不純物濃度を判断させ、選択させる。

【0 0 6 1】

その後、選択された添加量の結果を表示させ、添加量をドーピング装置へ設定

したり、印刷したりして出力すればよい。そして更に、得られた添加量等のデータを保存させ、データベースに記録させればよい。

【0062】

このようなコンピュータシステムはプログラム等のソフトウェアを用いても、ハードウェアを用いて作製しても構わない。そしてコンピュータシステムはドレーピング装置に搭載してもよいし、ネットワーク通信を通じて行ってもよい。

【0063】

以上のような添加量を制御するためのコンピュータシステムにより、効率よく不純物の添加量の決定を行うことができる。そして更に本発明のコンピュータシステムにより、実施者の経験に頼らず、一定結果を短時間で得ることができる。

【0064】

また更に、ゲートオーバーラップ領域の不純物濃度と信頼性及び初期特性の相関をデータベース化しておけば、Lov抵抗モニターを評価することで、寿命予測等の判断基準とすることができる。例えば、量産工場等では、時間のかかる信頼性評価（劣化試験）をするのは難しいが、抵抗測定結果を判断基準にして劣化の評価を行うことができる。

【0065】

【発明の効果】

本発明により、TFT基板の一部にLov抵抗モニターを作製することができ、TFT素子とLov抵抗モニターとで同時にテーパーエッチ等のエッチングが行われるため、別基板に作製したLov抵抗モニターよりも、正確に不純物を把握することができる。

【0066】

また本発明により得られた半導体素子による不純物濃度や形成条件及びそれらと信頼性の相関をデータベース化することにより、実施者の経験に頼らず、短時間で最適な不純物添加量を得ることができる。そして更に、抵抗測定結果を判断基準にして劣化の評価を行うことができる。

【図面の簡単な説明】

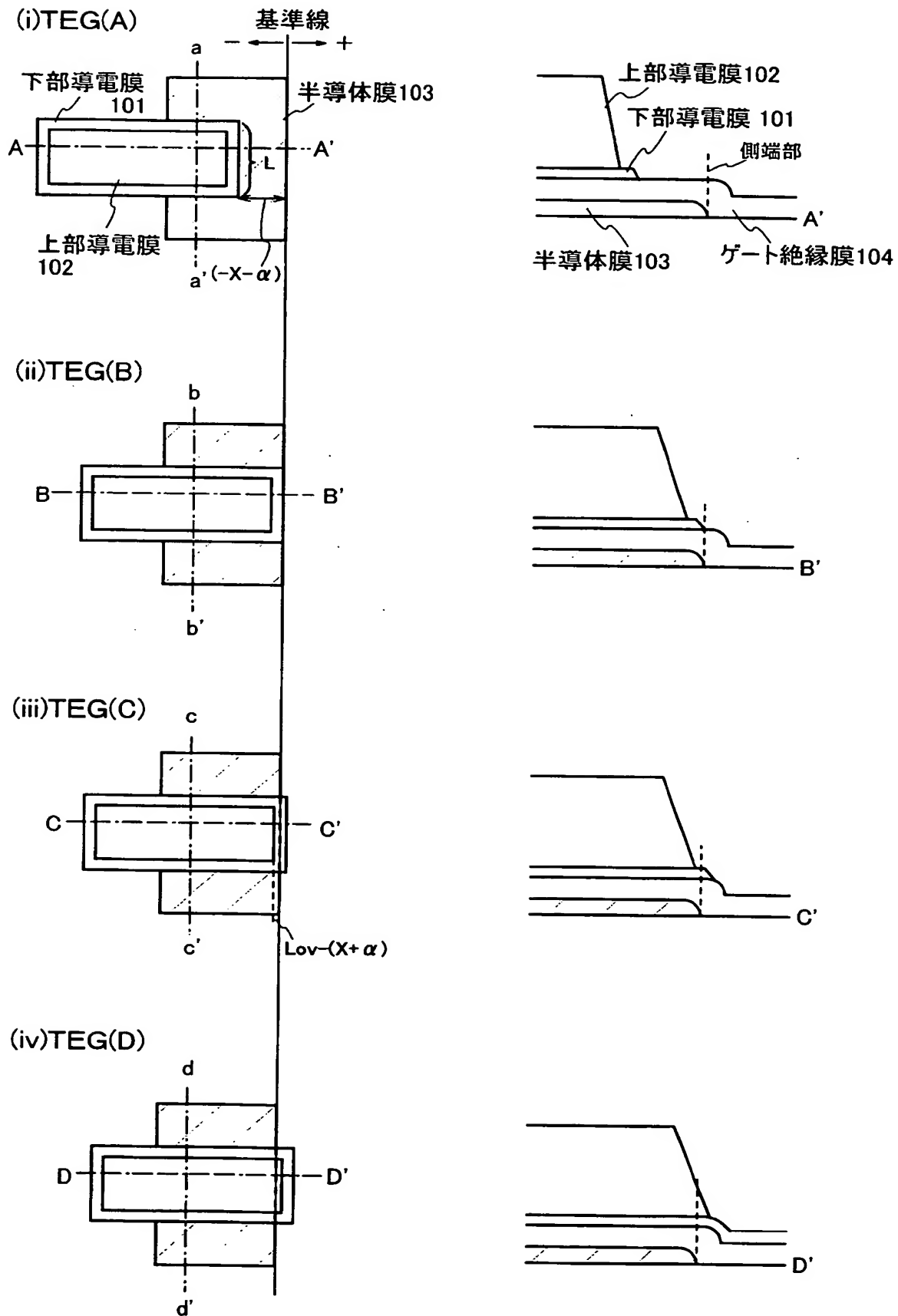
【図1】 本発明のTEGを示す図。

- 【図 2】 本発明の T E G の作製工程を示す図。
- 【図 3】 本発明のコンピュータシステムを示す図。
- 【図 4】 本発明の実験結果を示す図。
- 【図 5】 本発明の実験結果を示す図。
- 【図 6】 本発明の実験結果を示す図。
- 【図 7】 本発明の実験結果を示す図。
- 【図 8】 本発明の T E G を示す図。
- 【図 9】 本発明を用いたマスクのアライメントずれを評価方法を示す図。

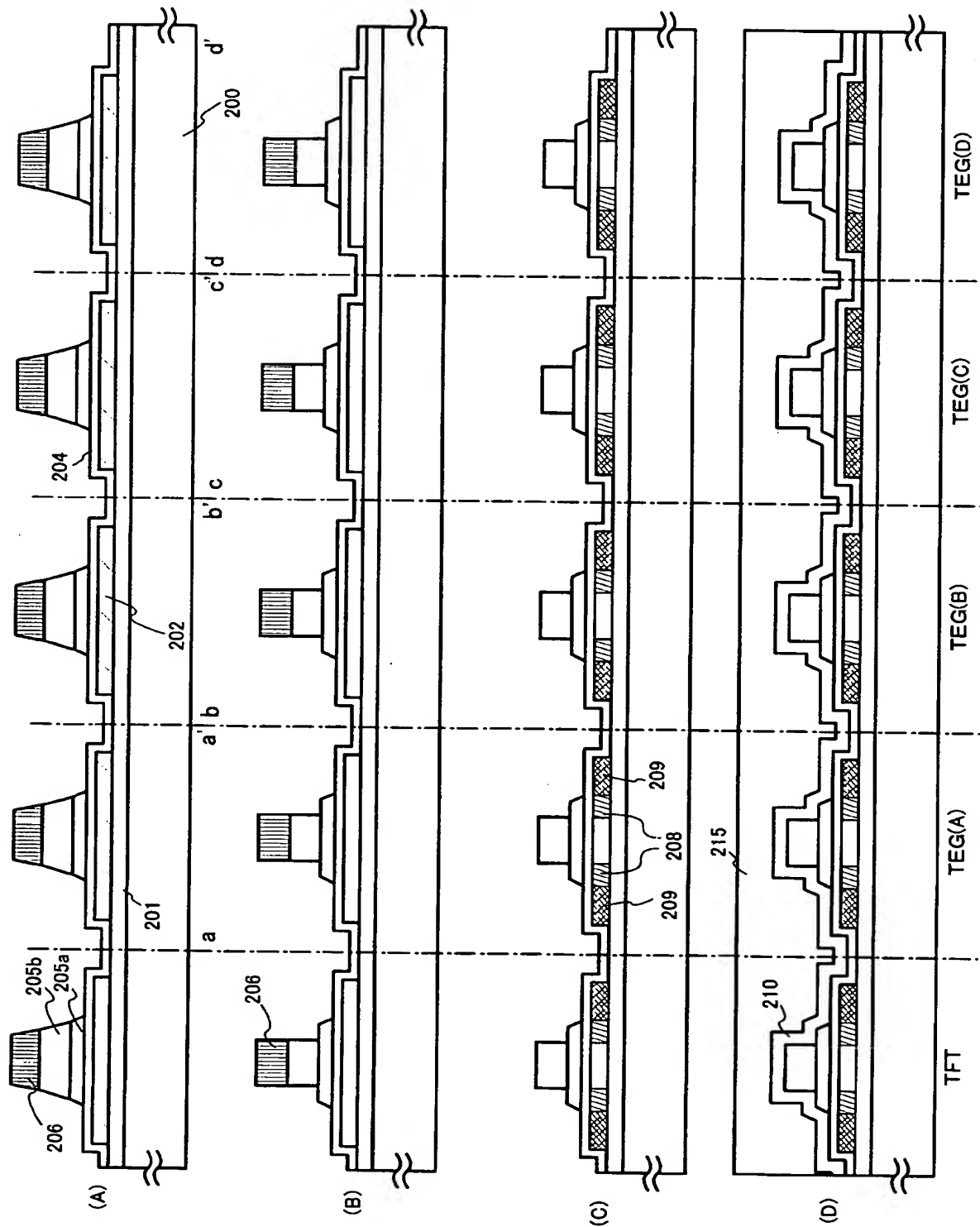
【書類名】

図面

【図 1】

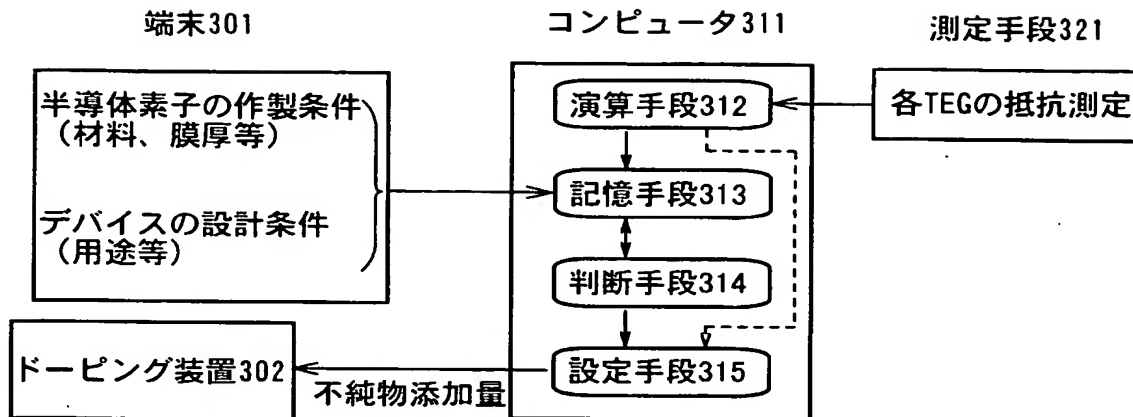


【図 2】

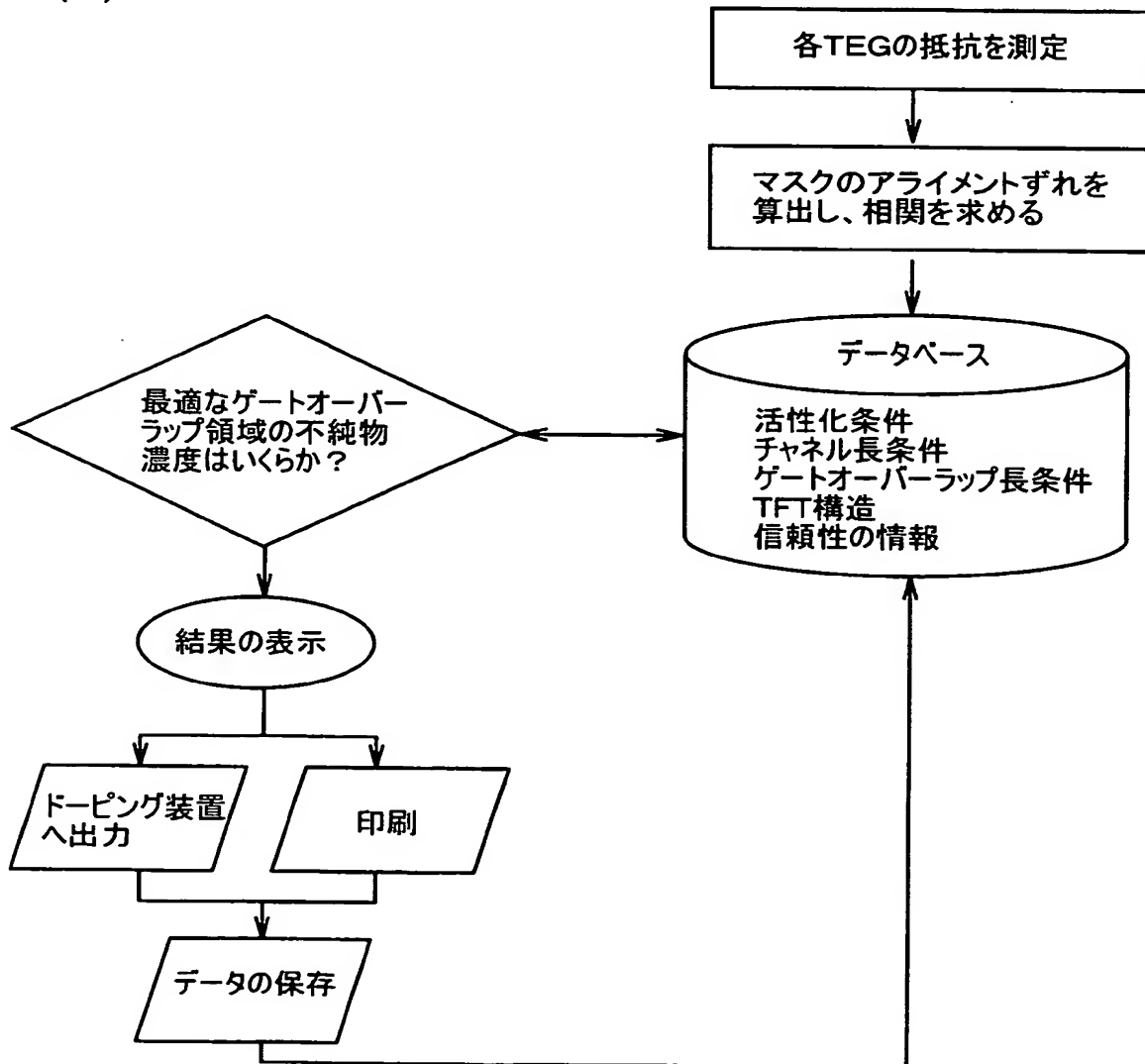


【図 3】

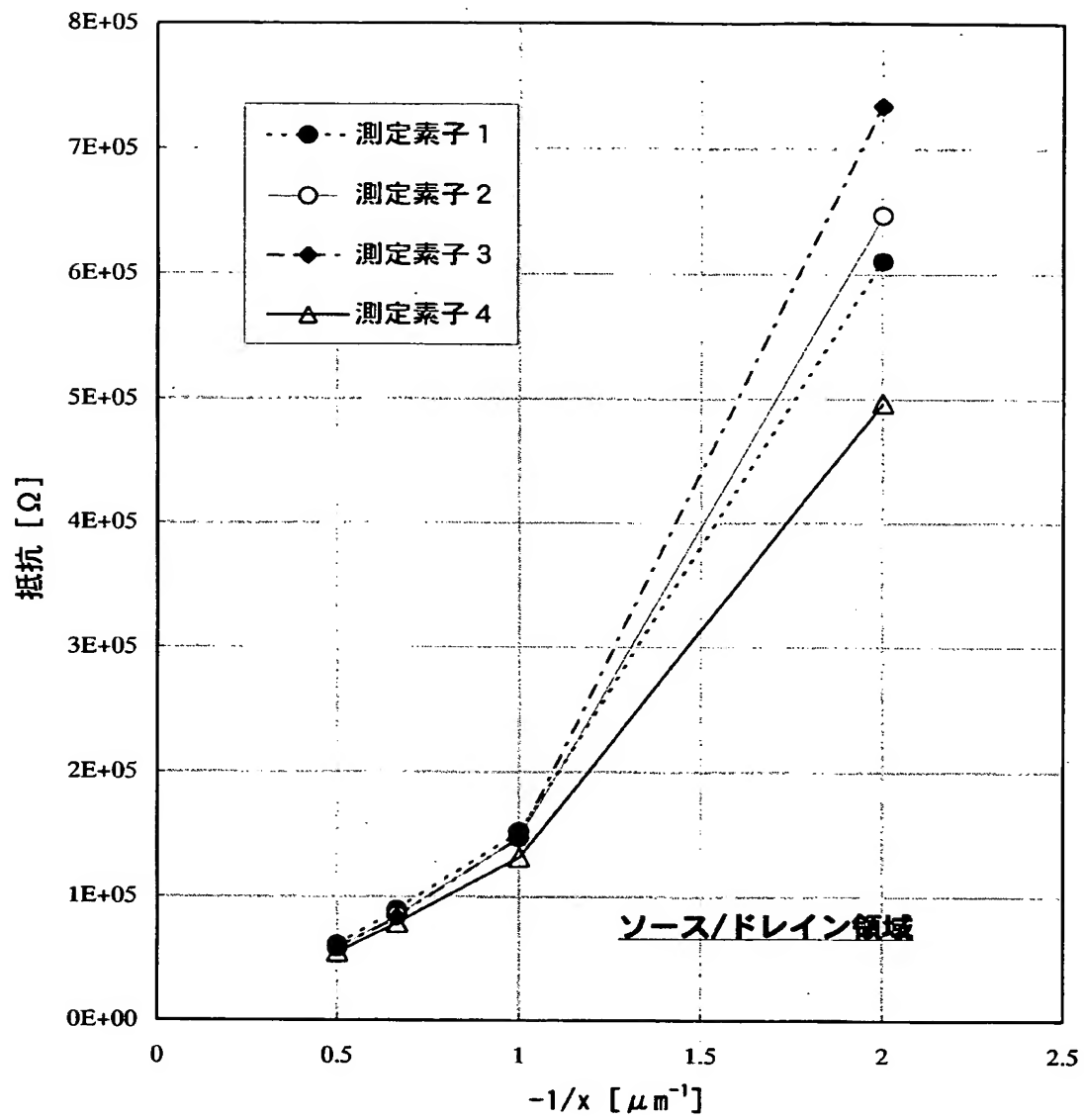
(A)



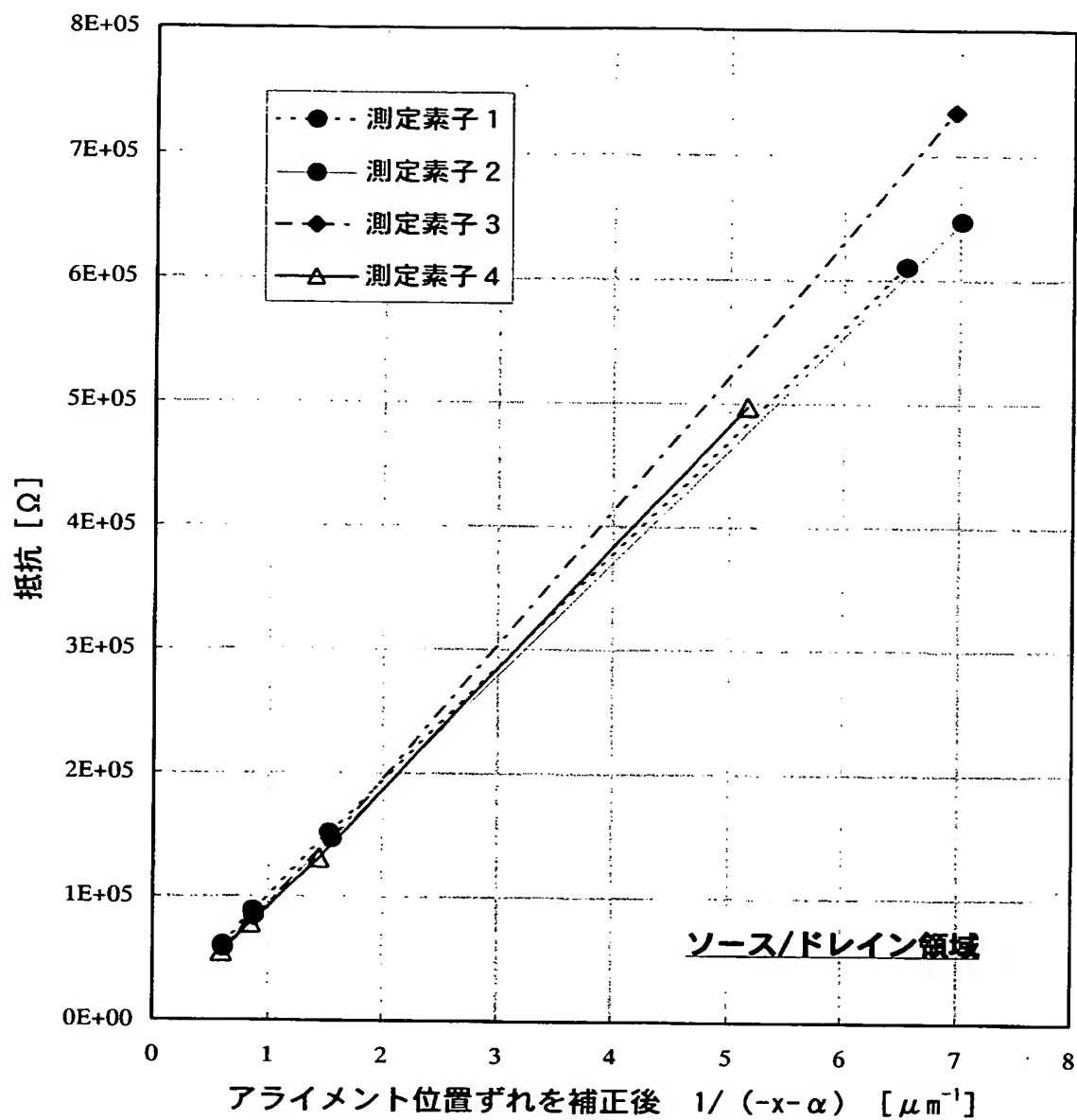
(B)



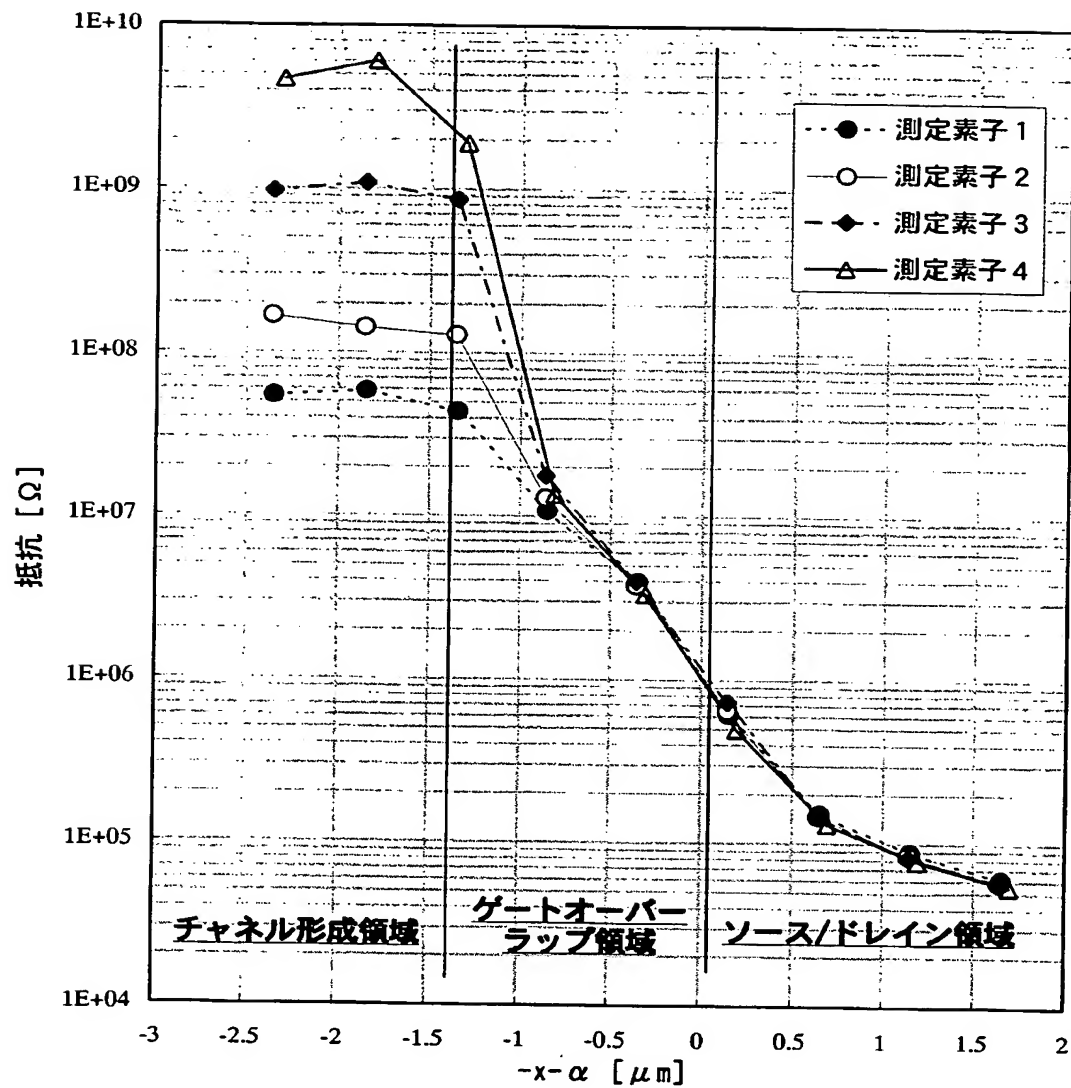
【図 4】



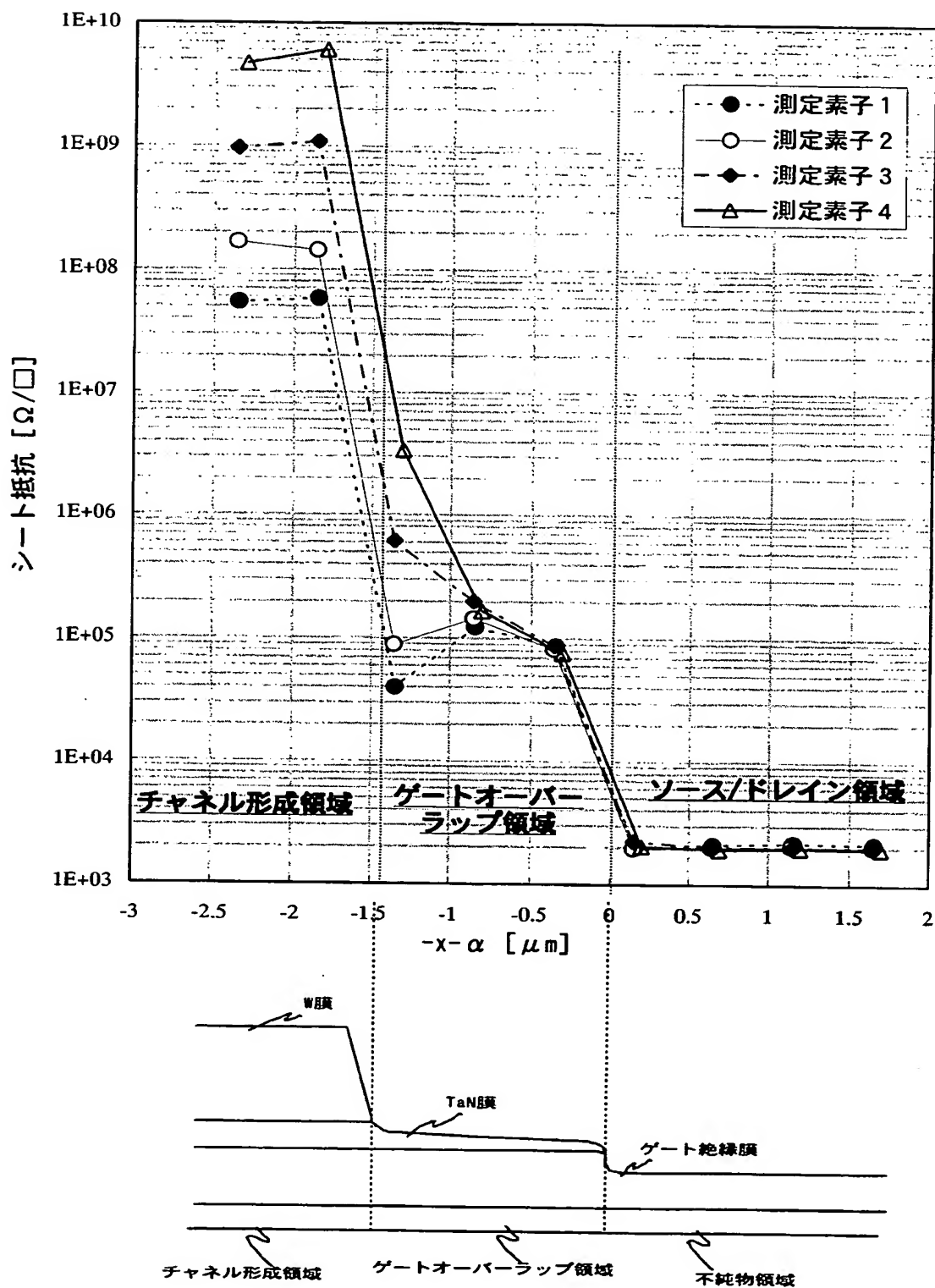
【図 5】



【図 6】

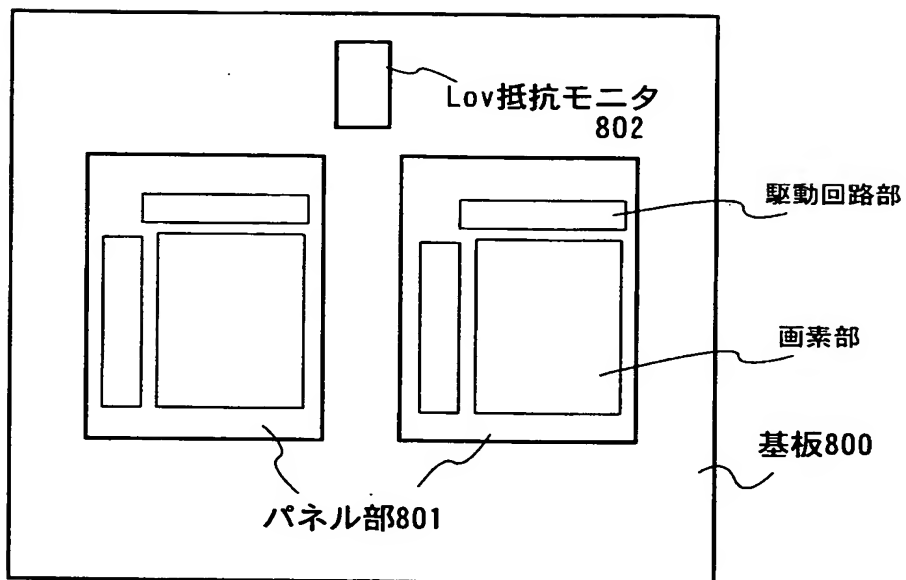


【図 7】

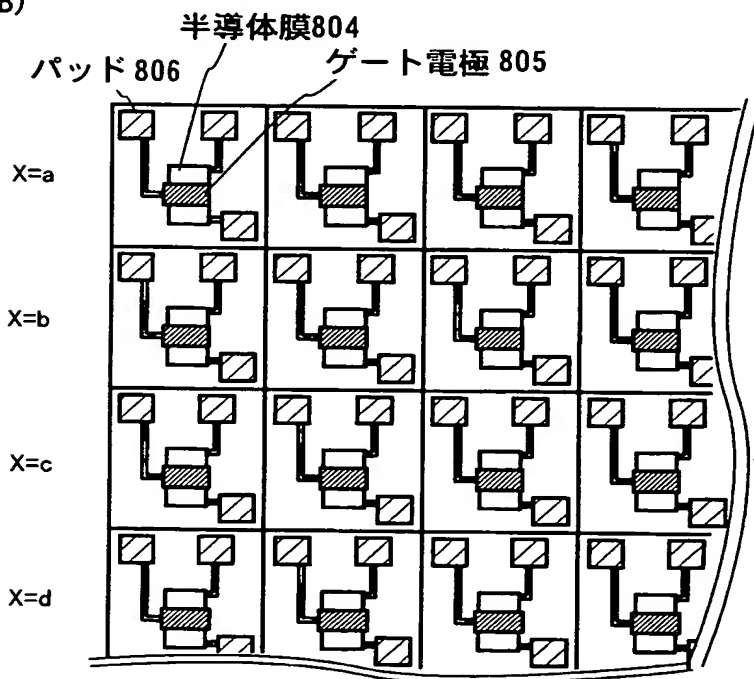


【図 8】

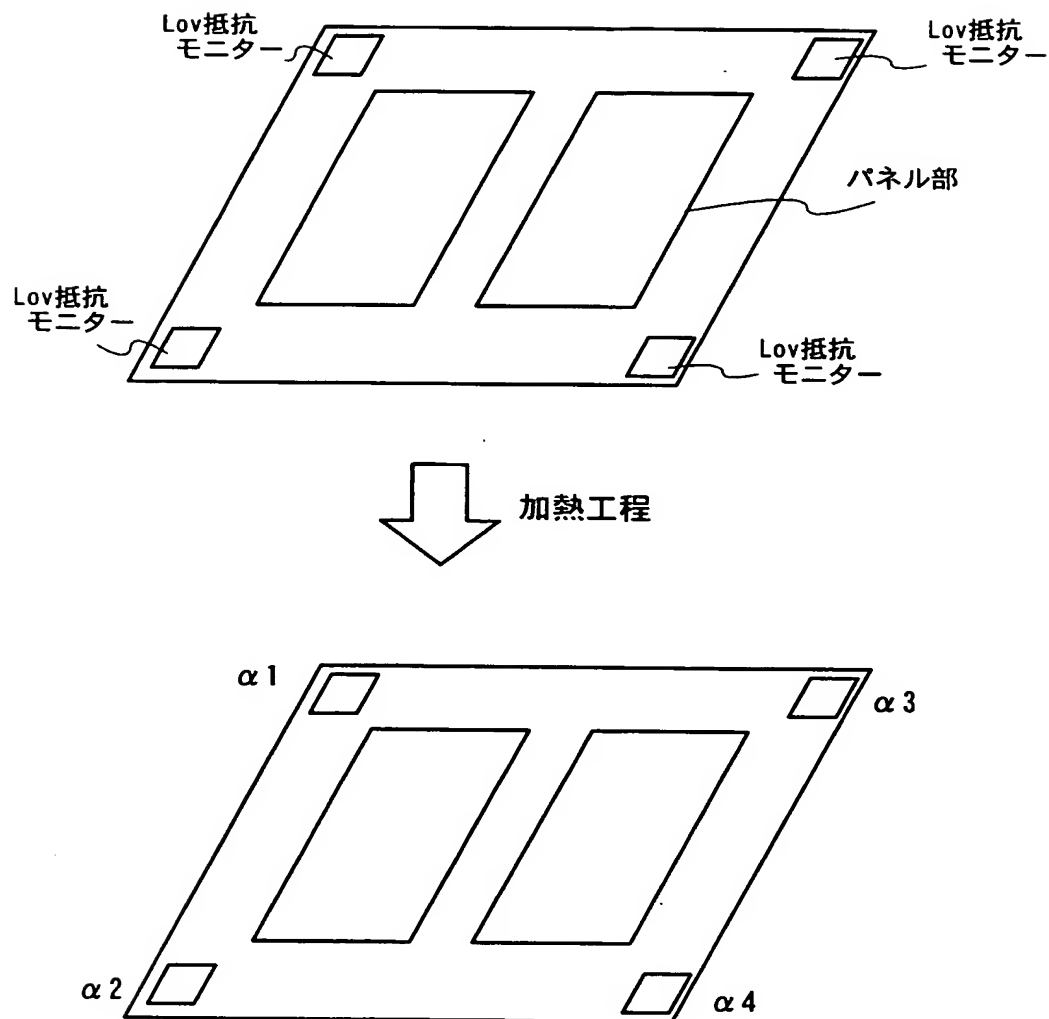
(A)



(B)



【図 9】



【書類名】 要約書

【要約】

【課題】 GOLD構造TFTは、そのゲートオーバーラップ領域における不純物濃度によって信頼性が大きく左右される。そこで本発明は、ゲートオーバーラップ領域においてゲート電極のテーパー形状に対応した抵抗分布を得ることを課題とする。

【解決手段】 本発明は、マスクアライメントを数 μm 間隔でずらしたLov抵抗モニターとして複数のTEGを作製し、それぞれ抵抗測定を行う。その結果、チャネル形成領域、ゲートオーバーラップ領域及びソース／ドレイン領域において、テーパー形状に対応した抵抗分布を得ることができる。

【選択図】 図 1

特願 2 0 0 2 - 3 6 4 4 1 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所